

Ref-9

R9

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平2-8950

⑬ Int. CL. 3

G 05 F 15/16
1/10

識別記号

330 C

序内整理番号

6745-5B

⑭ 公開 平成2年(1990)1月12日

7459-5B G 08 F 1/04 330 A

審査請求 未請求 請求項の数 1 (全7頁)

⑬ 発明の名称 回路同期方式

⑭ 特願 平1-36403

⑮ 出願 平1(1989)2月17日

優先権主張 ⑯ 1988年2月17日 ⑰ 米国(US)⑯ 156,779

⑯ 発明者 マーク ジイ, ジョン アメリカ合衆国, カリフォルニア 94086・サニーベル,
ソン エスカロン 1000, ナンバー 112

⑯ 発明者 エドウイン エル, ハードソン アメリカ合衆国, カリフォルニア 95051, サンタクララ, テイトン アベニュー 364

⑯ 出願人 ミツブス コンピュータ システムズ, インコボレイテッド アメリカ合衆国, カリフォルニア 94086, サニーベル, アルケス アベニュー 930

⑯ 代理人 弁理士 小橋 一男 外1名

明細書

技術分野

1. 発明の名称

回路同期方式

2. 特許請求の範囲

1. 共通のクロック信号から動作し且つ各々が¹出力信号を発生する第1及び第2回路の同期方式において、前記共通クロック信号を受け取り且つそれを前記第1回路へ供給する前に選択した期間だけそれを遅延させるべく接続されている第1遅延線手段、前記クロック信号を受け取り且つそれを前記第2回路へ供給する前に制御信号に応答して選択可能な期間だけそれを遅延させるべく接続されている第2遅延線手段、前記第1及び第2回路の両方へ接続されており各々が²出力信号を発生する時を検知し且つ応答して前記第2遅延線手段へ箇制制信号を供給する位相検知手段、を有しており、前記制御信号は前記出力信号の間の差異に感応した電位を持っておりこれを特徴とする同期方式。

3. 発明の詳細な説明

本発明は、電子回路の動作を同期させるシステム乃至は方式に関するものであって、更に詳細には、中央処理装置及び移動小数点コプロセサの動作を同期させるための電圧制御型同期遅延フェーズロックループシステムに関するものである。

従来技術

システム乃至は方式内において動作している数つかの回路を同期させることは、多くのシステムデザイナーによって直面されている問題である。例えば、高性能マイクロプロセッサをベースとしてシステム(方式)において、システムバス上の latency時間を最小とすると共に不所要のデータの衝突が発生することを防止する為に、システム内において種々の個別的な無駄回路の動作を同期させることが重要である。自動テストシステムにおいて、テスト中の装置からの入力及び出力信号に対する有効性を確保する為に、該装置の出力ピンの状態をモニターする一方、その全ての入力ピンを基本的に同時に同期させねばならない。

特開平2-8950(2)

必ずしも従来技術におけるものではないが、マイクロプロセサをベースとしたシステムを同期させるための1種次方法は、H. Forsyth et al. の「16 MIPS ピーク性能を具備する32ビット VLSI CPU (A 32-Bit VLSI CPU with 16-MIPS Peak Performance)」、[IEEEジャーナル・オブ・ソリッドスタート・サーチング (1987年10月)、SC-22(5): 788-775]の文献に記載されている。この文献に記載されているシステムはグローバルマスタークロックを使用しており、それに対して全ての複数回路動作が同期されている。

該回路の動作を同期させるための1つの公知の技術は、フェーズロックループ回路を使用することである。フェーズロックループ回路は、典型的に、入力信号を電圧制御型オシレータ (VCO) からの出力信号と比較するための位相検知器を使用している。従って、位相検知器の出力は、入力信号と電圧制御型オシレータからの信号との間の位相差に比例している。該位相検知器の出力は、該信号

を信号から動作する第1及び第2回路を同期させるためのシステム(方式)が提供され、該システムは該共通クロック信号を受け取り且つ該クロック信号を該第1回路へ供給する前に遅延した期間だけそれを遮断させるべく接続されている第1遅延器と、該クロック信号を受け取り且つそれを該第2回路へ供給する前に制御信号に応答して遮断可能な期間だけそれを遮断させるべく接続されている第2遅延器と、各々が出力信号を供給する時を検知し且つ応答して該第2遅延器へ該制御信号を供給する為了に該第1及び第2回路の両方へ接続されている位相検知回路とを有している。該制御信号は、該出力信号の間の差異に關係した電位を持っている。好適実施例においては、該位相検知器は、エッジトリガー型フリップフロップ回路をしており、該回路の出力は電圧制御型遅延器を駆動する为了にローパスフィルタを介して通過される。

実施例

以下、添付の図面を参考に、本発明の具体的実施の態様について詳細に説明する。

の間のエラーを発しておらず、それは該電圧制御型オシレータを制御する為了にローパスフィルタを介して通過される。該エラー信号は、該入力信号に対応しないかも知れない初期同期にも拘らず、該電圧制御型オシレータを入力信号にロックさせる。

目的

本発明は、以上の点に鑑みなされたものであつて、上述した如き従来技術の欠点を解消し、特に中央処理装置の動作をコプロセサ又はマイクロプロセサをベースとするシステムにおけるその他のチップとの間で同期させるのに特に有用な可変遅延器フェーズロックループ技術を提供することを目的とする。

構成

本発明の同期技術によれば、システムバス上の無駄時間最小化することを可能とし、且つマイクロプロセサの製造における変動要因から発生するマイクロプロセサ動作速度における変動原因を補正することを可能としている。

本発明の好適実施形態においては、共通クロック

第1回は、中央処理装置10の動作を浮動小数点コプロセサ20と同期させるべく運用された各の本発明の好適な実施例を示している。CPU10及びFPC20の各々は、外部クロック源からクロック信号CLKINを受け取るべく接続されている。CPUチップ10において、該クロック信号は電圧制御型遅延器1-2へ供給され、そこで該信号は以下に説明する期間を持った固定時間間だけ遮断される。遮断された後に、該クロック信号はライン14上を該チップの底部へ供給され、該底部とはドライバ15に接続してCPU出力イネーブル信号として使用される箇所を含むする。32ビット幅バスに対する好適実施例の場合、出力イネーブル信号はドライバ15の順序でその他31個のドライバを制御する。該出力イネーブル信号は、CPUがシステムデータバスをアクセスすることを許容し、且つそのバスを介してキャッシュメモリ(不図示)をアクセスすることを許容する。

全システムの動作速度を最大とさせるために、C

PUチップ10及びFPCチップ20が最大速度で該キャッシュメモリと通信すること、従って該システムデータバス上の最小無駄時間で通信することが重要である。実験実例において、CPUチップ10は、毎秒当たり一千万個以上の命令で動作し、従って非常に高い帯域幅のインターフェースを要求する。この実験例においては、この帯域幅は、命令用の一皮とデータ用に一皮、60ナノ秒サイクル当たりキャッシュインターフェースピンを二皮ドライブすることによってCPU及びFPCに対し16.7メガヘルツを使用して達成される。このピン多量化はキャッシュタイミングの信頼性を必要とし、そうでなければ、チップ間の相次ぐスキューがデータ有効窓を狭めることとなり、その間にセットアップ時間及びホールド時間を侵害し且つバス競合を発生させる。製造プロセスにおける変動の結果として異なったチップにおける伝播遅れにおける差異の為に、この問題は一層複雑なものとなる。CMOSライン幅における変動は、該チップのスイッチング速度に因

ことを且つ該FPC信号は測時間の最初の50%に到達したことを表す。ライン32上の出力信号は、ローパスフィルタ37へ供給され、それは該出力信号を時間に因して平均化し且つ制御信号VCTRLを可変電圧制御型遅延線22へ供給する。遅延線22は、該遅延線を介して通過するクロック信号の時間遅れを長くさせるか又は短くさせ、その際にFPC信号伝播遅れをCPU伝播遅れとマッチングさせ、且つそれらの動作を同期させる。

前述した説明において、位相検知器、ローパスフィルタ、及び可変電圧制御型遅延線は、全てコプロセサチップ上に存在するものとして説明した。然し乍ら、理解すべきことであるが、これらの構成要素は、同一の結果を得る為に、固定遅延線を該コプロセサチップ上に配置させてCPUチップ上に容易に配置させることも可能である。いずれの方針においても、出力イネーブルラインが、ドライバ15及び25をイネーブルさせて、データをバス上にのせるか又はバスからのデータをラッピングする。

特開平2-8950 (3)

図を参考、該チップの同期を更に一層困難なものとさせる。

該小数点コプロセサチップ20もクロック信号CLOCKINを受け取るべく接続されている。該クロック信号は、直ぐに電圧制御型遅延線22へ供給され、それは、該CPU上の遅延線と異なり、可変時間遅れを持っており。該遅延線からの出力は、FPCチップ20が該システムデータバスをアクセスすることを可能とする為にドライバ25をイネーブルする為に使用される。92ビットバスに対する該CPUに関しての場合と同一の順序で、32個のドライバ25がある。該浮動小数点チップも、ライン18上をCPU出力イネーブル信号及びライン19上をFPC出力イネーブル信号を受け取るべく接続された位相検知器30を有している。位相検知器は、ライン18及び19上で受け取られる信号の位相差を出す出力信号をライン32上に供給する。CPU及びFPCが適切に同期されると、ライン32上の信号は、該CPU出力信号は測時間の最初の50%に到達した

従来のフェーズロックループシステムにおいて、位相検知器の出力は、電圧制御型オシレータ(VCO)を制御する為に、ローパスフィルタを介して通過される。該電圧制御型オシレータは、電圧の周波数である周波数出力を持っている。然し乍ら、従来のフェーズロックループシステムは、ノイズに対して極めて敏感であり、且つこの種を制御システムはホール取扱いを持っているので、安定化させることが困難である。本発明システムにおいては、内部接地と外部接地との間のノイズを回避し且つピン間での寄生性クロストークを防止する為にローパスフィルタがチップ上に配置されている。本システムは、デバッグ操作で援助する為により低速又は中断型クロック信号で該チップを動作させることを可能としている点が別の利点である。チップが再開始されると、それらは同期する。周波数を制御する電圧制御型オシレータ(VCO)を使用する従来のフェーズロックループシステムの場合、クロック信号を低速とさせたり又は完全に停止させたりすることは出来ない。何故ならば、

特開平2-8950 (4)

その様なことが発生すると、エラー又はセトリング時間無しで、該オシレータは周波数において間的な変更を与えることが必要とされる。

第2図は、第1図にブロックで示した位相検知器30のより詳細な概略図である。位相検知器30は、エッジトリガー型D型クリップフロップを有しており、それは、信号CPUOUTの上昇端部において、信号FPOUTをサンプルし且つその結果を出力ライン53及び54上に与える。CPUOUTが高状態となった後にFPOUTが高状態となると、ライン54のFPP10は低状態となり且つラインFPP10は高状態となる。一方、その出力が信号CPUOUTによってサンプルされる時に浮動小数点チップ20が既に高状態となっている場合には、反対の場合となる。ライン18上の信号CPUOUTもパルス発生器55をドライブし、それは固定時間の間、好適には10ナノ秒の程度の時間、NANDゲート47及び48をイネーブルさせる。このことは、CPUOUT及びFPOUT入力信号を電荷付加及び電

荷除去出力信号へ接続させ、該信号は該ローパスフィルタへ供給される。ゲート49、50及び52は、該交換接続された対のゲートによってドライブされるロード(負荷)をバランスさせ、その間に同一の速度で対称的な動作を実現する。

第3図は、該ローパスフィルタの概略図である。第2図に示した回路からの電荷付加及び電荷除去信号は、一对のスイッチを閉鎖する為に使用される。それは究極的には一对の整合された電流源61及び62によって大型のコンデンサ60を充電又は放電させる。パルス発生器55からの固定幅パルスによって、固定寸法電荷パケットが各サイクルごとに該コンデンサ内へ又はそれからポンプ動作され、その間に補正ステップの寸法をクロック周波数とは独立的なものとさせている。該電荷付加及び電荷除去信号がアクティブでない即ち不活性であると、該スイッチは第3図に示した如くに接続されて寄生コンデンサ63及び64を制御電圧へ接続させ、その間に電荷共有エラーを解消させる。

第3図の回路からの出力信号VCTILは、電圧制御型遅延線をドライブする為に使用される。従って、浮動小数点チップがあまり早すぎると、ライン53上のFPP2000はアクティブ即ち高状態であり、従って該電荷付加信号もアクティブ即ち活性状態である。該パルス発生器パルスがアクティブである間に、該電荷付加スイッチがコンデンサ60へ接続され、電荷がコンデンサ60へ流れることを許容する。同時に、FPCが遅いと、電荷除去ラインがアクティブであり、電流源64をして該コンデンサから電荷を除去させる。電荷付加ラインも電荷除去ラインもいずれもアクティブでない期間中、コンデンサ60をフロートする。電源源が該フィルタコンデンサを充電も放電もしていない場合、その出力はノードVCTR(該フィルタコンデンサ電圧の低インピーダンス版)へ短絡される。寄生容量C9がフィルタコンデンサ電圧に拘束され、従って該電源源が該フィルタコンデンサに接続される場合にはチャージシェアリング即ち電荷共有は殆ど発生しない。従

って、位相検知器とローパスフィルタとの結合は、電圧の偏移としての所望の時間遅れを表す回路を提供している。

第4図は、ブロック12及び22の各々として第1図にブロックで示した電圧制御型遅延線の概略図である。第4図に示した如く、該遅延線(ディレイライン)は、一連の12個のドライバ70a, 70b, ..., 70lと、12個の開閉トランジスタ71a, 71b, ..., 71lと、12個のコンデンサ72a, 72b, ..., 72lとを有している。各コンデンサは、Vddへ接続されている。該遅延線の動作原理は、各インバータ70aがそのロード(負荷)コンデンサ72aをドライブする出力インピーダンスを持つていてある。RC回路を変化させることによって、一層長い遅れが与えられる。換算すると、各ドライバの出力における抵抗性負荷を変化させることによって、より多くの容量性負荷をインバータに対して「可視的」なものとさせることが可能である。トランジスタ71aを使用することに

特開平2-8950 (5)

より、小さなゲート対ソース電圧に対して、開放回路が与えられ、且つ該トランジスタは基本的にオフされる。該トランジスタのゲートが約2Vに到達する時間迄に、それがターンオンされ、電荷量を直接的に出力端子へ結合させる。

第4図に示した回路は、浮動小数点コプロセサチップ20における遅延線22のみならず、CPUチップ10内の電圧制御型遅延線12として使用される。該CPUチップの場合、該遅延線は、制御線VCTRL1又はVCTRL2の1つをV_{cc}及び他方をV_{ss}へ接続することによってその回路電圧の半分に設定される。従って、該インバータの半分は負荷コンデンサから実効的に完全に遮断され、一方他の6個のインバータは該コンデンサへ直接的に効果的に接続される。対照的に、浮動小数点コプロセサ20において、制御ラインVCTRL1及びVCTRL2が一緒に短絡され且つ第3図の出力端子からの信号VCTRLを受け取るべく接続される。該電圧制御遅延線は、構成のステージ(段)を使用し、従って上昇及び

下降の伝播遅れの間の空隔は相殺され、その間にクロック信号を基本的に対称的なものに埋めている。最小許可供給電圧及び最大電圧の条件下において、第5図に示した如く、調節範囲は約1.2ナノ秒であり且つ遅延係数は約3ナノ秒/Vである。そこに示した如く、該回路の動作は、2V以上の制御電圧に対しては基本的にリニア即ち直線的である。

第1図乃至第4図に示した回路がフェーズロック状態を達成すると、固定寸法補正ステップが位相エラーを越え且つ該回路は交互の補正を適用して平衝状態を維持する。従って、位相ジッターを最小とさせる為に、該補正ステップ寸法は小さく選択される。このことは比較的長い調整時間となるが、位相補正はシステムリセット期間中に行われる。この長い調整は欠点ではない。更に、位相ロックが達成されると、該差又は供給電圧の変化の結果としてのCPU又はFPC伝播遅れにおける変化は容易にトラックし且つ補正される。

本発明のフェーズロックループシステムは周波

数の代わりに時間遅れを制御するので、複雑されている回路の動作範囲中にクロック周節を変更する為に外部システムを使用することが可能である。電圧制御型オシレータ(VCO)を使用する従来のフェーズロックループシステムは、この様な変数をトラックすることは出来ず且つ著しいノイズの影響を受ける。本発明回路の場合、仮想的にVCTRLに関して数百ミリボルトのノイズがあるとすると、出力ジッターとして單に0.3ナノ秒を発生するに過ぎない。対照的に、該電圧制御型オシレータ(VCO)は1.2メガヘルツ/Vのオーダーの保証を持っており、その間に同一の仮想的ノイズに対して一層大きな出力ジッターを発生する。

以上、本発明の具体的実施の態様について詳細に説明したが、本発明はこれら具体例にのみ限定され呑べきものではなく、本発明の技術的範囲を逸脱すること無しに他のの型態が可能であることは勿論である。

尚、本発明は、実施上、次の構成の1つ又はそ

れ以上を取りえるものである。

(1) 共通のクロック信号から動作し且つ各々が出力信号を発生する第1及び第2回路の両端方式において、前記共通クロック信号を受けて且つそれを前記第1回路へ供給する前に選択した期間だけそれを遮断せしめるべく接続されている第1遮断線手段、前記クロック信号を受け取り且つそれを前記第2回路へ供給する前に側面信号に応答して調節可能な期間だけそれを遮断せしめるべく接続されている第2遮断線手段、前記第1及び第2回路の両端へ接続されており各々が出力信号を発生する時を検知し且つ応答して前記第2遮断線手段へ調節信号を供給する位相検知手段、を有しており、前記調節信号は前記出力信号の間の正負に因縁した電位を示していることを特徴とする回路方式。

(2) 上記第(1)項において、前記位相検知手段が、更に、該側面信号を受け取り且つそれを前記第2遮断線手段へ供給する前にそれを時間に因して平均化すべく接続されているフィルタ手段を有

特開平2-8950 (6)

することを特徴とする同期方式。

(3) 上記第(1)項において、前記位相検知手段は、該2つの回路からの出力信号のいずれが早くかったかを検知する手段を有することを特徴とする同期方式。

(4) 上記第(3)項において、前記検知手段がエッジトリガー型フリップフロップ回路を有することを特徴とする同期方式。

(5) 上記第(1)項において、前記第1遅延線が、既る範囲の時間遅れを有する複数個のステージを有した第1電圧制御型遅延線を有しており、前記第2遅延線が既る範囲の時間遅れを有する複数個のステージを有した第2電圧制御型遅延線を有しており、前記第1遅延線の時間遅れは前記既る範囲の遅れの中間に設定されることを特徴とする同期方式。

(6) 上記第(1)項において、前記第2遅延線手段は、前記制御信号の電位に関係した時間だけ前記クロック信号を遅延させる前の電圧制御型遅延線を有していることを特徴とする同期方式。

複数個のステージを有することを特徴とする同期方式。

(11) 上記第(2)項において、前記フィルタ手段が、第1スイッチによって格納コンデンサと上側電位端との間にスイッチ動作可能な接続される第1電源端、第2スイッチによって前記格納コンデンサと下側電位端との間にスイッチ動作可能な接続される第2電源端、前記第1及び第2電源端を制御する前に前記制御信号に応答するスイッチング手段を有することを特徴とする同期方式。

(12) 上記第(11)項において、前記スイッチング手段が、パルスを供給する前のパルス発生器、前記パルス及び前記制御信号を受け取るべく接続されており且つ前記第1スイッチを制御すべく組合された第1出力端を有した第1ゲート、前記パルス及び相補的制御信号を受け取るべく接続されており且つ前記第2スイッチへ組合された第2出力端を有した第2ゲートを有することを特徴とする同期方式。

4. 図面の簡単な説明

(7) 上記第(6)項において、前記第2電圧制御型遅延線は、前記クロック信号を受け取るべく接続された入力端子及び出力端子を有したインバータと、可変時定数を持っており前記出力端子と固定電位との間に接続された抵抗-コンデンサ回路網と、前記制御信号を受け取り且つ応答して前記時定数を変化させるべく接続された制御手段とを具備する少なくとも1個のステージを有することを特徴とする同期回路。

(8) 上記第(7)項において、前記回路網が、前記固定電位へ接続された第1電極を有したコンデンサ、前記インバータへ接続された第1電極と前記コンデンサの第2電極へ接続された第2電極と前記制御信号を受け取るべく接続された制御電極とを有したトランジスタを有することを特徴とする同期方式。

(9) 上記第(8)項において、前記電圧制御型遅延線が複数個のステージを有することを特徴とする同期方式。

(10) 上記第(9)項において、前記遅延線が

第1図は本発明のシステムを示したブロック図、第2図は第1図の位相検知器のブロック図、第3図は第1図のローパスフィルタのブロック図、第4図は第1図の電圧制御型遅延線のブロック図、第5図は第4図の遅延線の動作を示したグラフ図である。

(符号の説明)

- 1 0 : 中央処理装置
- 2 0 : 浮動小数点コプロセサ
- 2 2 : 電圧制御型遅延線
- 3 0 : 位相検知器
- 3 7 : ローパスフィルタ
- 5 5 : パルス発生器
- 6 0 : コンデンサ
- 6 1, 6 2 : 電源端

特許出願人

ミップス コンピュータ
システムズ、 インコーポ
レイテッド

持明平2-8950 (7)

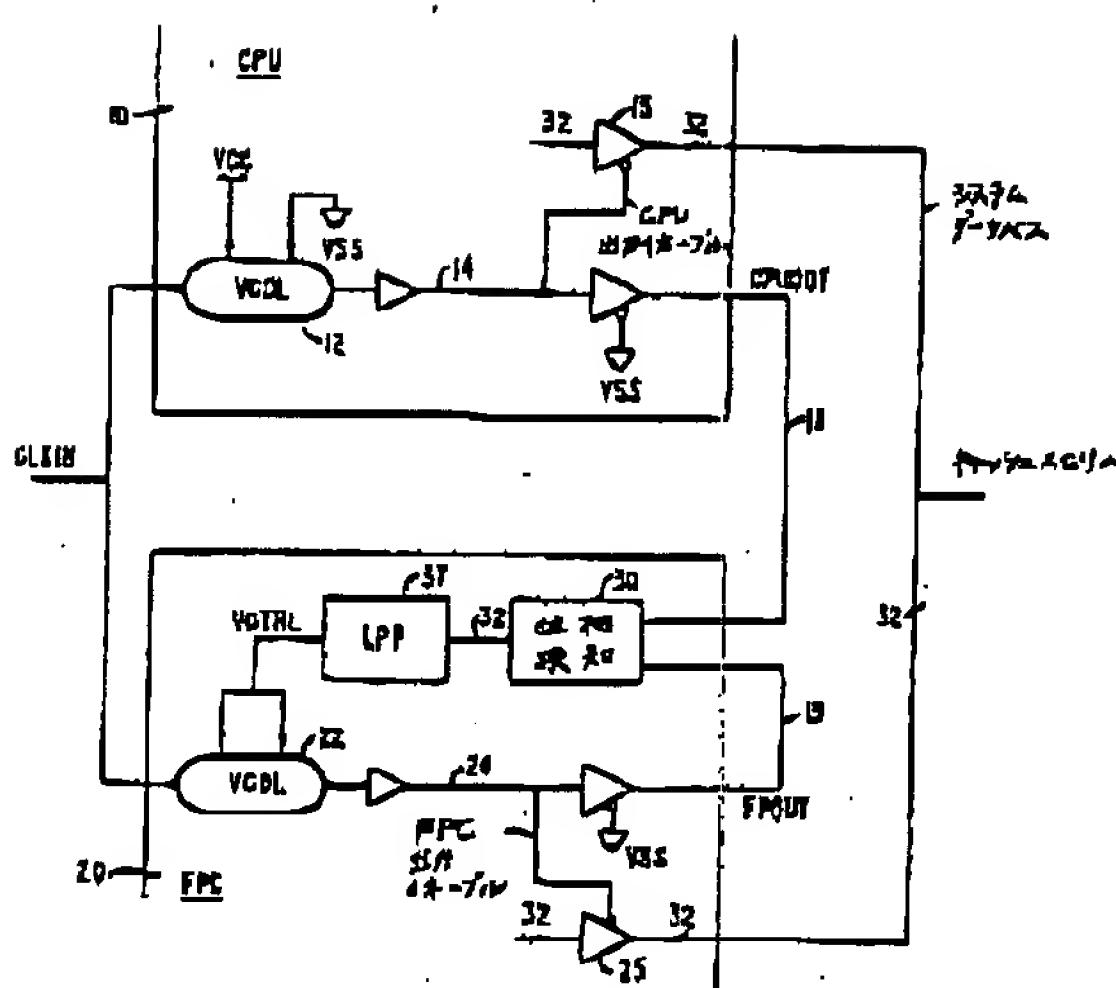


FIG. 1

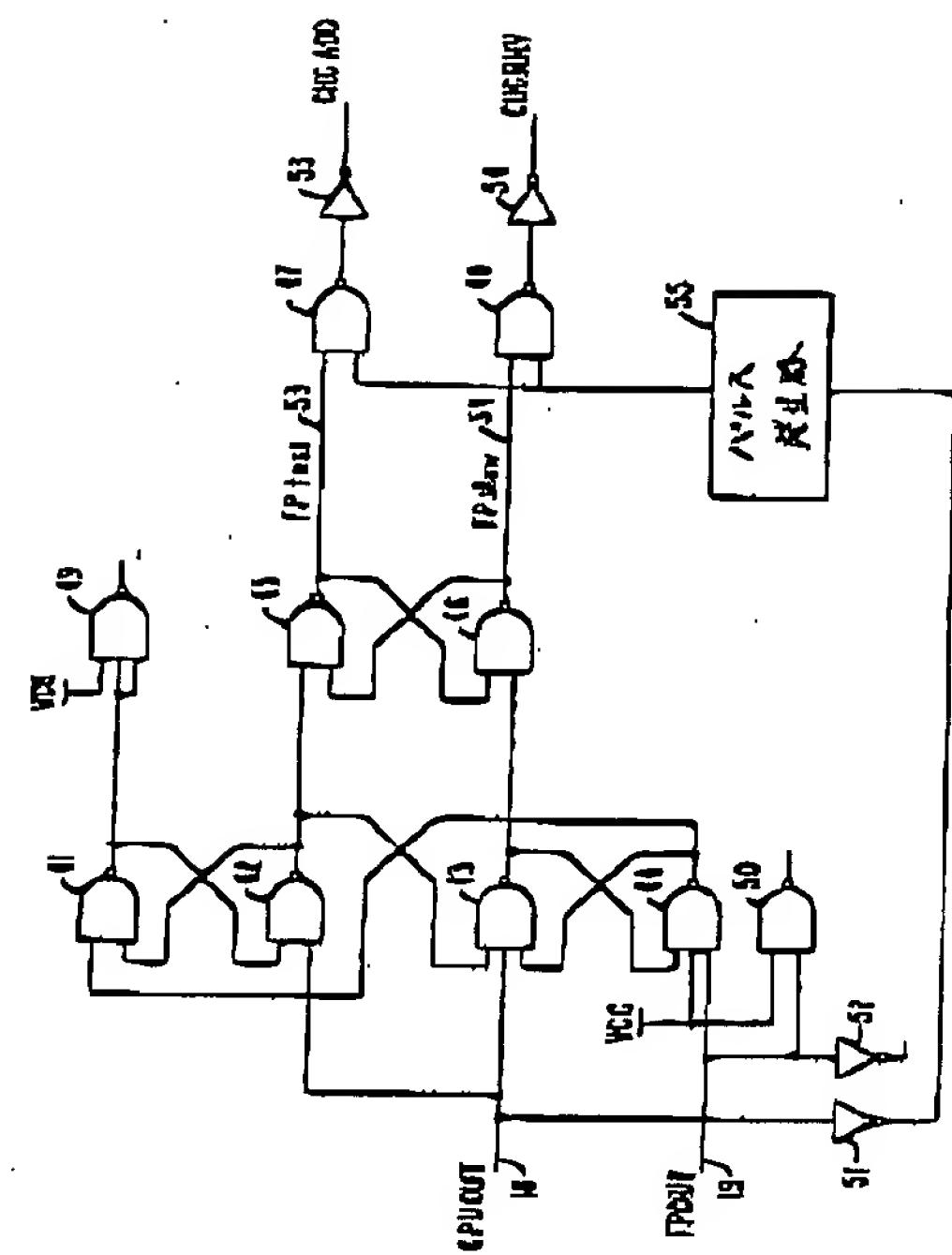


FIG. 2.

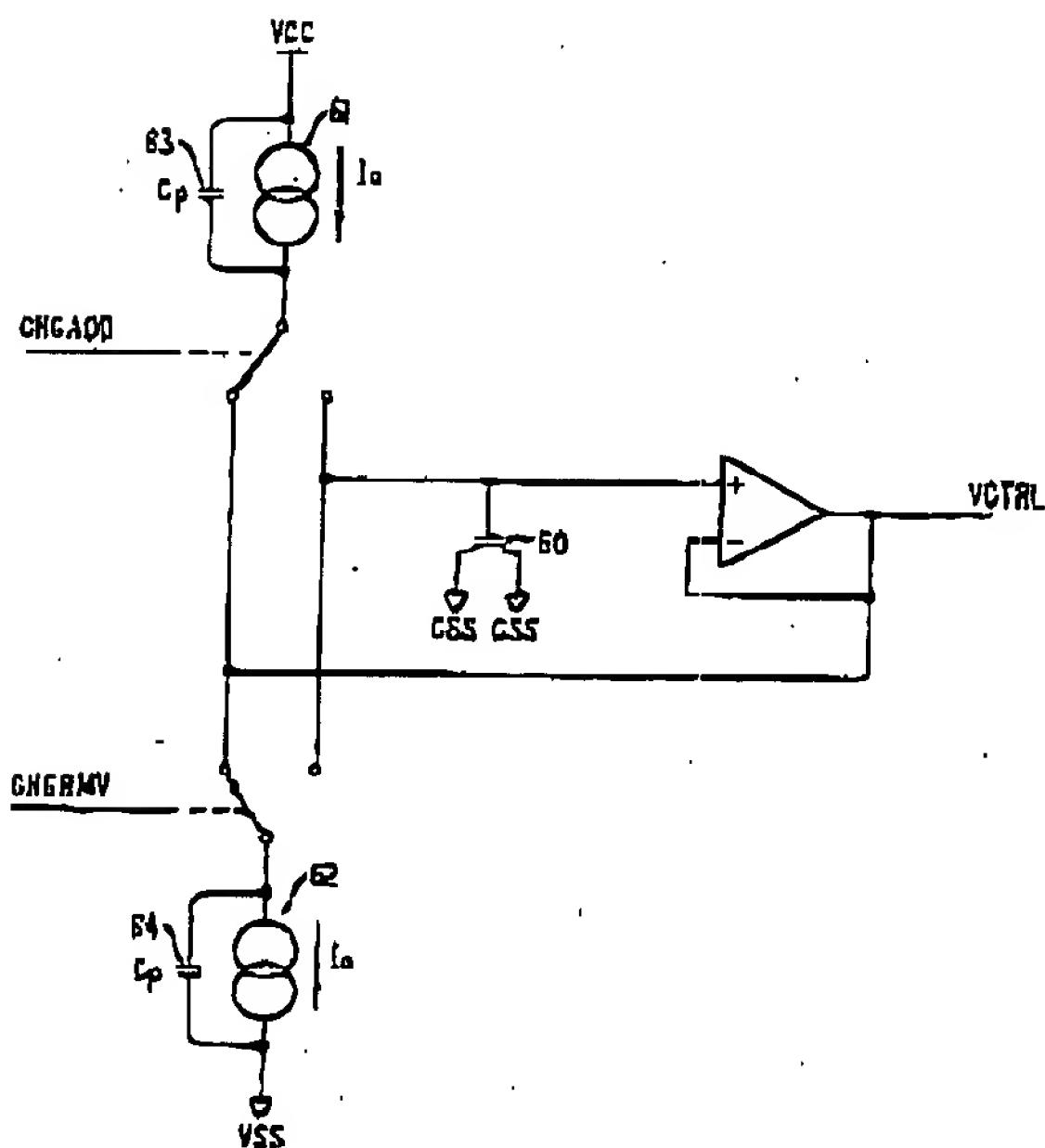


FIG. 3.

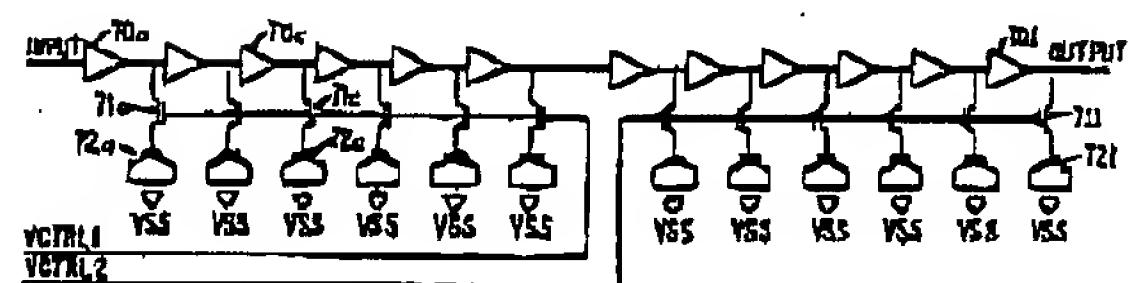


FIG. 4.

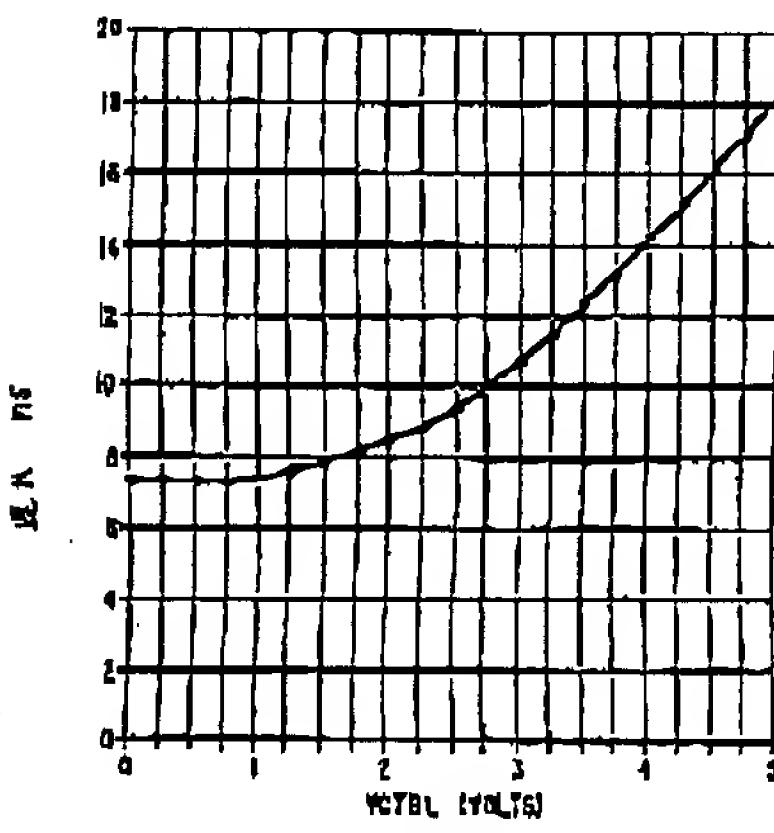


FIG. 5.